

Digital Design Laboratory

Marvin T.C. Lee

Department
Of
Biomedical Engineering
Yuanpei University

2009/02/26

目錄

| | |
|---|----|
| 目錄 | I |
| LAB-0 實驗前的準備 | 01 |
| LAB-1 數位電路實驗及各種 IC 簡介 | 04 |
| LAB-2 認識及熟悉各種基本邏輯閘的功能 | 07 |
| LAB-3 練習基本的組合邏輯電路設計及應用 | 12 |
| LAB-4 安裝與使用 MAX+PLUS II 之數位電路設計 | 15 |
| LAB-5 碼轉換之數位電路設計(Code Conversion) | 18 |
| LAB-6 BCD 碼轉換成 7 段顯示器之數位電路設計 | 20 |
| LAB-7 二進位乘法器與大小比較器之電路設計 | 22 |
| LAB-8 序向邏輯電路設計----利用正反器設計除頻電路及計數器 | 24 |

LAB 0 實驗前的準備

實驗日期：2009/02/26

報告繳交日期：2009/02/27

實驗組員：

| 組別 | 學號 | 姓名 |
|----|----|----|
| | | |

1. 實驗內容及步驟：

i. 實驗課程內容簡介 (Course Schedule)

| Experiment | Laboratory day | Report Delivery |
|-----------------------------------|----------------|-----------------|
| LAB-0 實驗前的準備 | 02/26 | 02/26 |
| LAB-1 數位電路實驗及各種 IC 簡介 | 03/05 | 03/12 |
| LAB-2 認識及熟悉各種基本邏輯閘的功能 | 03/12~03/19 | 03/26 |
| LAB-3 練習基本的組合邏輯電路設計及應用 | 03/26~04/02 | 04/09 |
| LAB-4 安裝 MAX+PLUS II 及熟悉各種基本操作 | 04/09~04/16 | 04/30 |
| 期中考週 | 04/23 | 04/23 |
| LAB-5 碼轉換之數位電路設計(Code Conversion) | 04/30~05/07 | 05/14 |
| LAB-6 BCD 碼轉換成 7 段顯示器之數位電路設計 | 05/14~05/21 | 05/28 |
| LAB-7 二進位乘法器與大小比較器之電路設計 | 05/28~06/04 | 06/11 |
| Final Examination I 分組 I 期末測驗 | 06/11 | |
| Final Examination II 分組 II 期末測驗 | 06/18 | |

2. 實驗評分方式(Course Rules)：

i. 總成績

= (平時成績*0.4) + (實驗結果*0.15) + (實驗報告*0.15) + (期末測驗*0.3)

ii. 平時成績計算方式：

平時成績= (90-缺席*5-上課態度*2-遲到早退*2-其他*2)

1. 缺席 1 節扣 5 分。

2. 上課期間未經老師同意擅自離開實驗室扣 2 分。

3. 上課態度不認真(閒聊、嬉戲、飲食…) 2 分。

4. 遲到、早退 1 次扣 2 分。

5. 其他經常忘記帶實驗用具、上課無所事事者，每次扣 2 分。

6. 實驗提前完成者，可先預習後續實驗或研讀其他科目，不可擅自離開實驗室。

iii. 實驗結果：

實驗繳交當周完成實驗者，第一名 95 分、第二名 90 分、第三名 85 分，其餘 80 分；未按時完成實驗者，每週扣 10 分。實驗未完成或未檢查者該次實驗成績 0 分。

iv. 實驗報告：

報告需按時繳交，逾時繳交報告者，每週扣 20 分。實驗未完成或未檢查者該次實驗報告 0 分。

v. 期末測驗：

1. 期末考前兩週為期末測驗，全班分為三組，每人一台電腦進行指定題目之測驗，第一、二、三組於 2009/06/11 測驗，測驗及格者成績以 85 分計算。

2. 第一次測驗不及格者於 2008/06/18 再補測驗一次，測驗及格者成績以 60 分計算。

3. 二次測驗皆不及格者成績以 40 分計算，兩次皆未參加測驗者成績以 0 分計算。

3. 實驗分組：

i. 實驗第一周實施分組，每組 2 人，最多不可超過 3 人。

4. 實驗所需工具：

i. 麵包板*1

ii. 剝線鉗*1

iii. 數位電表*1

iv. 零件盒*1

v. 各式 IC 及零件

5. 報告格式：

i. 每人每次實驗繳交報告一份，報告格式如下：

1. 實驗報告抬頭：

LAB 「Number」 Report : 「Title」

2. 實驗組別：

| 組別 | 學號 | 姓名 |
|----|----|----|
| | | |

3. 實驗日期及報告繳交日期：

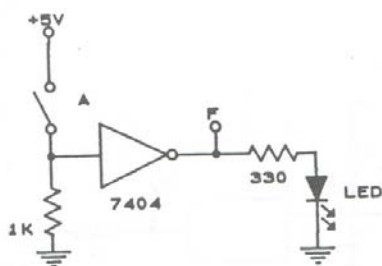
實驗日期：2009/02/26

報告繳交日期 2009/XX/XX

4. 實驗目的：

- i. 了解數位電路基本概念
- ii. 認識麵包板及 74 系列 TTL IC

5. 實驗電路圖：



電腦之電路繪圖軟體

6. 實驗結果：

1. 反閘(NOT Gate)之真值表 (Truth Table)

| 輸入 | 輸出 | |
|----|-----|---|
| A | LED | F |
| 0 | | |
| 1 | | |

2. 麵包板電路之實體照片

7. 實驗心得及討論：

6. 實驗零件發放

零件表

| 項次 | 品名 | 規格 | 數量 |
|----|------------------|--|----|
| 1 | 單心線 | 不同顏色 | 5 |
| 2 | 麵包板(Breadboard) | Model GI-36(3P) | 1 |
| 3 | 零件盒 | | 1 |
| 4 | 七段顯示器(7 Segment) | 共陽 | 1 |
| 5 | 七段顯示器(7 Segment) | 共陰 | 1 |
| 6 | LED 排燈 | 8 x LED | 1 |
| 7 | DIP SW | 8 pin | 1 |
| 8 | IC | 74LS00 * (Quad 2 Input NAND) | 2 |
| 9 | IC | 74LS02 * (Quad 2 Input NOR) | 2 |
| 10 | IC | 74LS04 * (Hex Inverters) | 2 |
| 11 | IC | 74LS05 (Hex O.C. Inverters) | 2 |
| 12 | IC | 74LS07 (Hex O.C. Buffers) | 2 |
| 13 | IC | 74LS08 * (Quad 2 Input AND) | 2 |
| 14 | IC | 74LS10 (Triple 3 Input NAND) | 2 |
| 15 | IC | 74LS11 (Triple 3 Input AND) | 2 |
| 16 | IC | 74LS14 (Hex Schmitt Trigger Inverters) | 2 |
| 17 | IC | 74LS20 (Dual 4 Input NAND) | 2 |
| 18 | IC | 74LS21 (Dual 4 Input AND) | 2 |
| 19 | IC | 74LS27 (Triple 3 Input NOR) | 2 |
| 20 | IC | 74LS32 * (Quad 2 Input OR) | 2 |
| 21 | IC | 74LS36 (Quad 2 Input NOR) | 2 |
| 22 | IC | 74LS42 (BCD to Decimal Decoder) | 2 |
| 23 | IC | 74LS47 (BCD to 7 Segment Decoder) | 2 |
| 24 | IC | 74LS48 (BCD to 7 Segment Decoder) | 2 |
| 25 | IC | 74LS73 (Dual JK-FFs with Clear) | 2 |
| 26 | IC | 74LS74 (Dual D-FFs with Preset and Clear) | 2 |
| 27 | IC | 74LS76 (Dual JK-FFs with Preset and Clear) | 2 |
| 28 | IC | 74LS83 (4-Bit Binary Full Adders) | 2 |
| 29 | IC | 74LS85 (4-Bit Magnitude Comparator) | 2 |
| 30 | IC | 74LS86 * (Quad 2 Input EX-OR) | 2 |
| 31 | IC | 74LS138 (3 to 8 Demultiplexer) | 2 |
| 32 | IC | 74LS153 (Dual 4 to 1 Data Selectors) | 2 |
| 33 | Resistor Pack | 1K Ω *8 | 2 |
| 34 | Resistor Pack | 330 Ω *8 | 2 |

LAB-1 數位電路實驗及各種IC簡介

實驗日期: 2009/03/05

實驗報告繳交日期: 2009/03/12

實驗組員:

| 組別 | 學號 | 姓名 |
|----|----|----|
| | | |
| | | |
| | | |

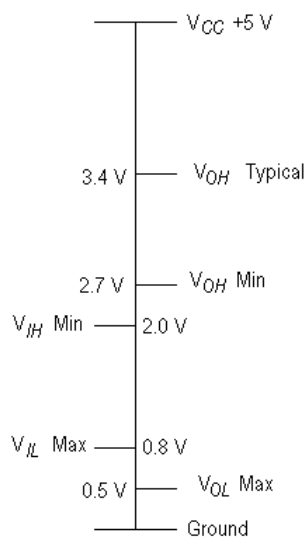
1. 實驗目的:

- A. 了解數位電路基本概念
- B. 認識麵包板及 74 系列 TTL IC

2. 實驗內容及步驟:

A. 邏輯 0 與邏輯 1

- i. 邏輯 0: 輸入電壓小於 0.8 V 以下
- ii. 邏輯 1: 輸入電壓大於 2.0 V 以上

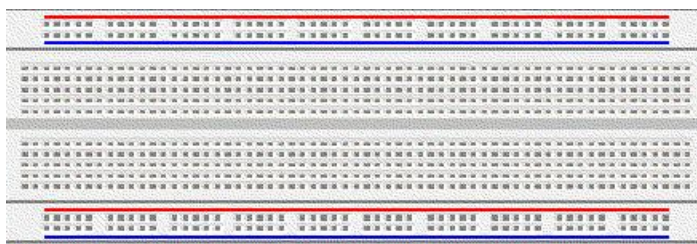


B. 正邏輯 (Positive Logic) 與負邏輯 (Negative Logic)

- i. 正邏輯: 將高電壓 ($>2.0V$) 設定為邏輯 1, 而低電壓 ($<0.8V$) 設定為邏輯 0
- ii. 負邏輯: 將高電壓 ($>2.0V$) 設定為邏輯 0, 而低電壓 ($<0.8V$) 設定為邏輯 1

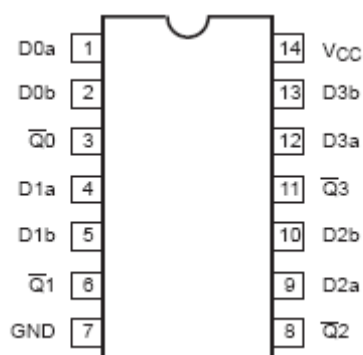
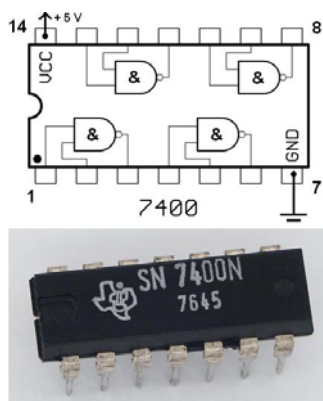
C. 麵包板(Breadboard)及 74 系列 TTL IC

i. 麵包板



D. 74 系列 TTL IC

i. 雙排行包裝(Dual-in-Line Package, DIP)與平排行包裝(Flat Package)

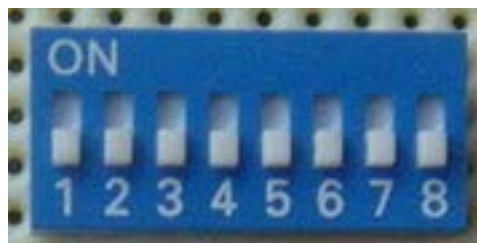
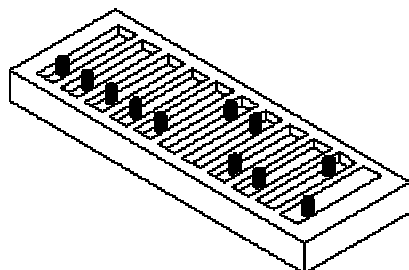


ii. 74 系列 TTL IC 編號

| TTL 族 | 標準 | 低功率 | 高速 | 蕭特基 | 低功率蕭特基 | 高級蕭特基 | 高級低功率蕭特基 |
|-------------|----|-----|-----|-----|--------|-------|----------|
| 字首 | 74 | 74L | 74H | 74S | 74LS | 74AS | 74ALS |
| 消耗功率 (mW) | 10 | 1 | 22 | 19 | 2 | 10 | 1 |
| 傳遞延遲(ns) | 9 | 33 | 6 | 3 | 9.5 | 1.5 | 4 |
| 扇出(Fan Out) | 10 | 10 | 10 | 10 | 20 | 40 | 20 |

E. LED 排燈

F. DIP 開關



G. 七段顯示器

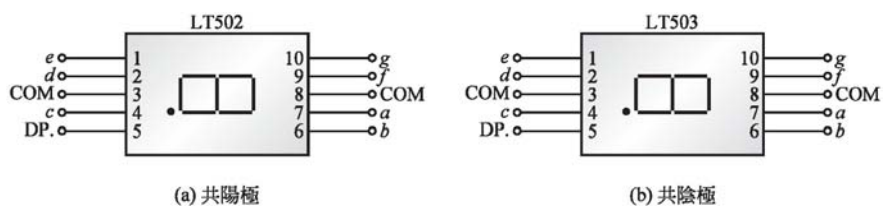
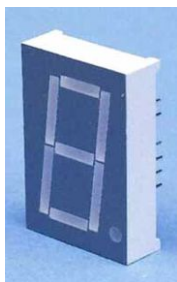
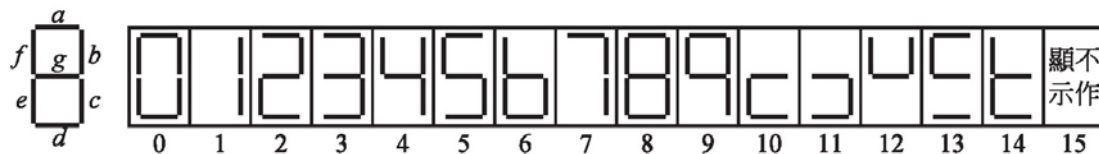


圖 4-24



(c) 七段顯示之數字顯示例子

圖 4-21 (續)

3. 參考書籍：

- A. 數位邏輯電路實習 吳明瑞、周靜娟 編著全華科技圖書公司
- B. 數位電路實習 張文澤、余文俊、楊國輝 編著全威圖書有限公司
- C. 數位電路實習-實習手冊 徐水芳、黃聰文、鄭書城 編著允成科技有限公司
- D. Google 網站

4. 實驗結果：

- A. LED 排燈測試
- B. DIP 開關測試
- C. 七段顯示器測試

5. 實驗心得：

LAB-2 認識及熟悉各種基本邏輯閘的功能

實驗日期: 2009/03/12~2009/03/19

實驗報告繳交日期: 2009/03/26

實驗組員:

| 組別 | 學號 | 姓名 |
|----|----|----|
| | | |
| | | |
| | | |

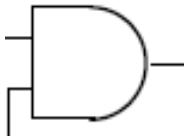
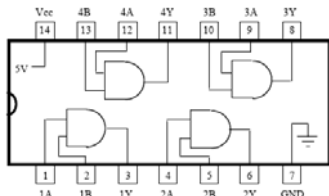
1. 實驗目的:

A. 基本邏輯閘的認識

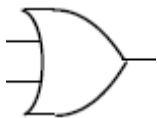
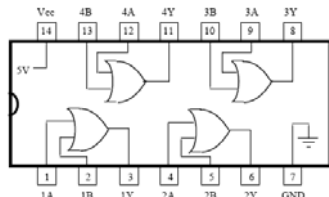
i. 反閘(NOT Gate)

| 符號 | IC 編號 | IC 接腳 |
|--|-------------------------|---|
|  | 74LS04 Hex Inverters |  |

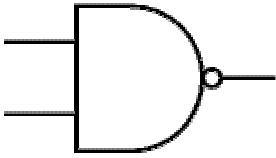
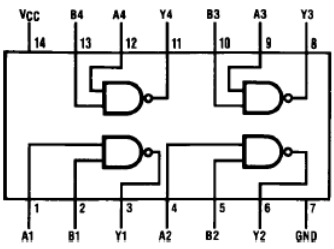
ii. 及閘(AND Gate)

| 符號 | IC 編號 | IC 接腳 |
|---|--|--|
|  | 74LS08 Quadruple 2 Input AND Gate |  |

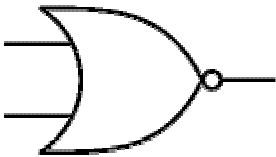
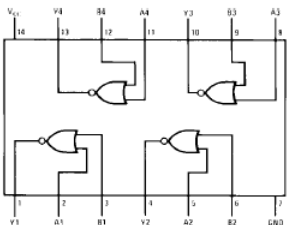
iii. 或閘(OR Gate)

| 符號 | IC 編號 | IC 接腳 |
|---|---|--|
|  | 74LS32 Quadruple 2 Input OR Gate |  |

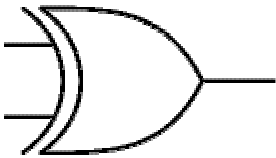
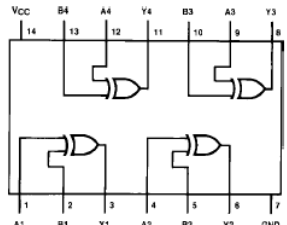
iv. 反及閘(NAND Gate)

| 符號 | IC 編號 | IC 接腳 |
|---|---|--|
|  | 74LS00 Quadruple 2 Input NAND Gate |  |

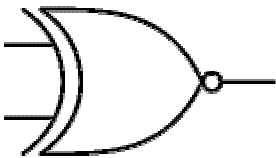
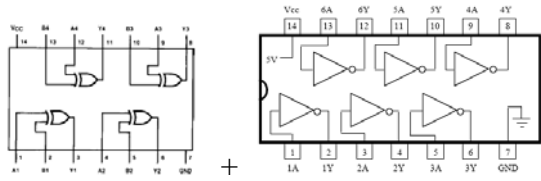
v. 反或閘(NOR Gate)

| 符號 | IC 編號 | IC 接腳 |
|---|--|--|
|  | 74LS02 Quadruple 2 Input NOR Gate |  |

vi. 互斥或閘(XOR Gate)

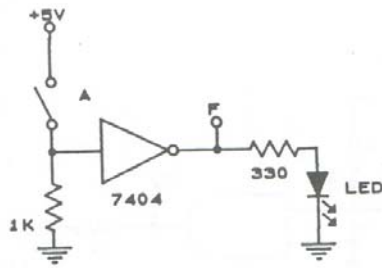
| 符號 | IC 編號 | IC 接腳 |
|---|--|--|
|  | 74LS86 Quadruple 2 Input EX-OR Gate |  |

vii. 互斥反或閘(XNOR Gate)

| 符號 | IC 編號 | IC 接腳 |
|---|--|--|
|  | 74LS86+74LS04 Quadruple 2 Input EX-NOR Gate |  |

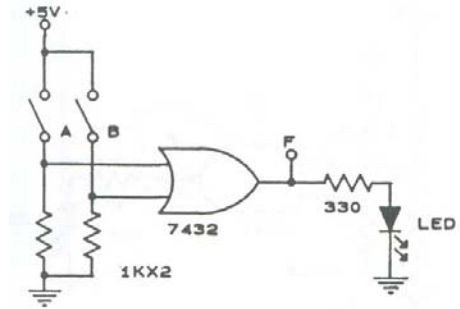
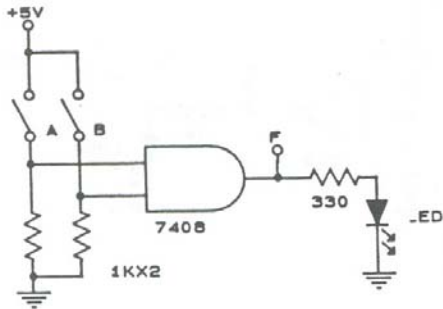
2. 實驗步驟：

A. 反閘(NOT Gate)電路接線圖



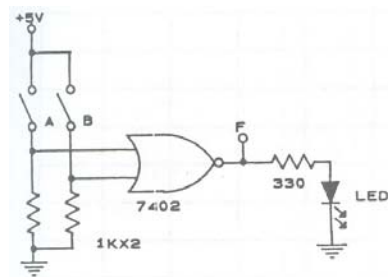
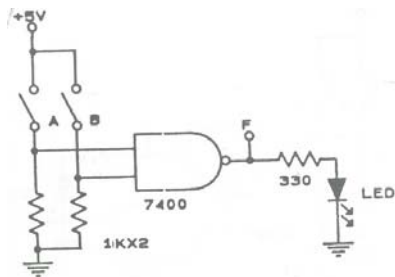
B. 及閘(AND Gate) 電路接線圖

或閘(OR Gate) 電路接線圖



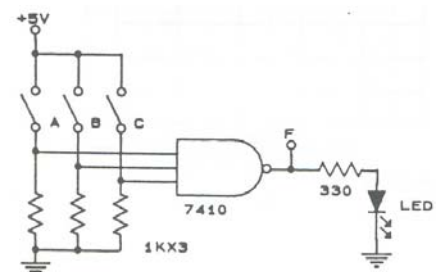
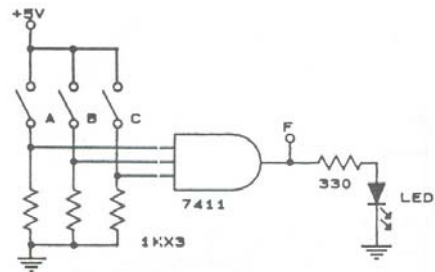
C. 反及閘(NAND Gate) 電路接線圖

反或閘(NOR Gate) 電路接線圖

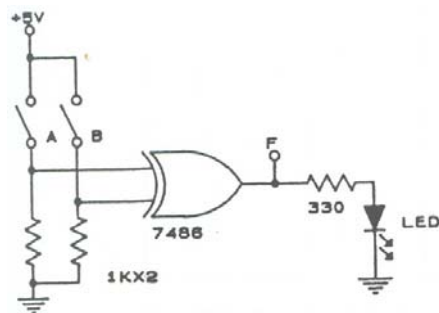


D. 3 輸入及閘(3-Input AND Gate) 電路圖

3 輸入反及閘(3-Input NAND Gate) 電路圖



E. 互斥或閘(XOR Gate) 電路接線圖



3. 參考書籍：

- A. 數位邏輯電路實習 吳明瑞、周靜娟 編著全華科技圖書公司
- B. 數位電路實習 張文澤、余文俊、楊國輝 編著全威圖書有限公司
- C. 數位電路實習-實習手冊 徐水芳、黃聰文、鄭書城 編著允成科技有限公司
- D. Google 網站

4. 實驗結果：

A. 反開(NOT Gate)之真值表 (Truth Table)

| 輸入 | | 輸出 | |
|----|--|-----|---|
| A | | LED | F |
| 0 | | | |
| 1 | | | |

B. 及開(AND Gate)之真值表 (Truth Table)

| 輸入 | | 輸出 | |
|----|---|-----|---|
| A | B | LED | F |
| 0 | 0 | | |
| 0 | 1 | | |
| 1 | 0 | | |
| 1 | 1 | | |

C. 或開(OR Gate)之真值表 (Truth Table)

| 輸入 | | 輸出 | |
|----|---|-----|---|
| A | B | LED | F |
| 0 | 0 | | |
| 0 | 1 | | |
| 1 | 0 | | |
| 1 | 1 | | |

D. 反及開(NAND Gate)真值表 (Truth Table)

| 輸入 | | 輸出 | |
|----|---|-----|---|
| A | B | LED | F |
| 0 | 0 | | |
| 0 | 1 | | |
| 1 | 0 | | |
| 1 | 1 | | |

E. 反或開(NOR Gate)真值表 (Truth Table)

| 輸入 | | 輸出 | |
|----|--|----|--|
|----|--|----|--|

| A | B | LED | F |
|---|---|-----|---|
| 0 | 0 | | |
| 0 | 1 | | |
| 1 | 0 | | |
| 1 | 1 | | |

F. 3 輸入及閘(3-Input AND Gate)真值表 (Truth Table)

| 輸入 | | | 輸出 | |
|----|---|---|-----|---|
| A | B | C | LED | F |
| 0 | 0 | 0 | | |
| 0 | 0 | 1 | | |
| 0 | 1 | 0 | | |
| 0 | 1 | 1 | | |
| 1 | 0 | 0 | | |
| 1 | 0 | 1 | | |
| 1 | 1 | 0 | | |
| 1 | 1 | 1 | | |

G. 3 輸入反及閘(3-Input NAND Gate)真值表 (Truth Table)

| 輸入 | | | 輸出 | |
|----|---|---|-----|---|
| A | B | C | LED | F |
| 0 | 0 | 0 | | |
| 0 | 0 | 1 | | |
| 0 | 1 | 0 | | |
| 0 | 1 | 1 | | |
| 1 | 0 | 0 | | |
| 1 | 0 | 1 | | |
| 1 | 1 | 0 | | |
| 1 | 1 | 1 | | |

H. 互斥或閘(XOR Gate) 真值表 (Truth Table)

| 輸入 | | 輸出 | |
|----|---|-----|---|
| A | B | LED | F |
| 0 | 0 | | |
| 0 | 1 | | |
| 1 | 0 | | |
| 1 | 1 | | |

5. 實驗心得：

LAB-3 練習基本的組合邏輯電路設計及應用

實驗日期: 2009/03/26~2009/04/02

實驗報告繳交日期:2009/04/09

實驗組員:

| 組別 | 學號 | 姓名 |
|----|----|----|
| | | |
| | | |
| | | |

1 實驗目的:

1.1 了解布林代數(Boolean Algebra)的特質。

1.1.1 AND 閘: 以符號「 \cdot 」代表及閘, 例如 $A \cdot B$

1.1.2 OR 閘: 以符號「 $+$ 」代表或閘, 例如 $A+B$

1.1.3 NOT 閘: 以符號「 $\bar{\quad}$ 」代表非閘, 例如 \bar{A}

1.1.4 布林函數 $F = x \cdot y + x \cdot y' + y' \cdot z$

1.2 邏輯閘的轉換及卡諾圖(Karnaugh Map)的應用。

1.2.1 以 NAND 及 NOR 取代 NOT、AND、OR 等邏輯閘

1.2.2 二變數、三變數與四變數卡諾圖

1.3 組合邏輯電路設計及應用。

1.3.1 設計一個全加法器

1.3.2 試設計一個具有三個輸入 A、B、C 及一個輸出 F 的組合電路, 當輸入的二進位值小於 3 時, 輸出為 1; 否則輸出為 0

2 實驗步驟:

2.1 請寫出布林函數 $F = x \cdot y + x \cdot y' + y' \cdot z$ 的真值表

2.2 請畫出布林函數 $F = x \cdot y + x \cdot y' + y' \cdot z$ 的電路圖

2.3 利用布林函數 $F = x \cdot y + x \cdot y' + y' \cdot z$ 的電路圖來完成接線並測試結果

2.4 請畫出以 NAND 取代 NOT、AND、OR 等邏輯閘的等效圖

2.5 請畫出以 NOR 取代 NOT、AND、OR 等邏輯閘的等效圖

2.6 利用二變數的卡諾圖化簡布林函數 $F = x'y + xy' + xy$

2.7 利用三變數的卡諾圖化簡布林函數 $F = xy + x'y'z' + x'yz'$ 及 $F(x, y, z) = \sum(1,2,3,6,7)$

- 2.8 寫出全加法器的真值表、布林函數、電路圖及完成接線並測試結果
- 2.9 寫出符合以下設計條件的真值表、布林函數、電路圖及完成接線並測試結果：一個具有三個輸入 A、B、C 及一個輸出 F 的組合電路，當輸入的二進位值小於 3 時，輸出為 1；否則輸出為 0

3 參考書籍：

- 3.1 數位邏輯電路實習 吳明瑞、周靜娟 編著 全華科技圖書公司
- 3.2 數位電路實習 張文澤、余文俊、楊國輝 編著 全威圖書有限公司
- 3.3 數位電路實習-實習手冊 徐水芳、黃聰文、鄭書城 編著 允成科技有限公司
- 3.4 數位邏輯設計 顏培仁、吳明瑞、周靜娟、呂明峰 編譯 滄海書局

4 實驗結果：

A. 真值表

B. 電路圖

| Input | | | Output |
|-------|---|---|--------|
| X | Y | Z | F |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |

C. 以 NAND 取代 NOT、AND、OR 等邏輯閘的等效圖

D. 以 NOR 取代 NOT、AND、OR 等邏輯閘的等效圖

E. 二變數的卡諾圖化簡布林函數 $F = x'y + xy' + xy$

F. 三變數的卡諾圖化簡布林函數 $F = xy + x'y'z' + x'yz'$ 及 $F(x, y, z) = \sum(1,2,3,6,7)$

G. 加法器的真值表

布林函數、電路圖

| Input | | | Output | |
|-------|---|-----------------|--------|------------------|
| A | B | C _{in} | Sum | C _{out} |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |

H. 符合以下設計條件的真值表、布林函數、電路圖及完成接線並測試結果：一個具有三個輸入 A、B、C 及一個輸出 F 的組合電路，當輸入的二進位值小於 3 時，輸出為 1；否則輸出為 0

真值表

布林函數、電路圖

| Input | | | Output |
|-------|---|---|--------|
| A | B | C | F |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |

5 實驗心得：

LAB-4 安裝與使用MAX+PLUS II 之數位電路設計

實驗日期: 2009/04/09~2009/04/16

實驗報告繳交日期:2009/04/30

實驗組員:

| 組別 | 學號 | 姓名 |
|----|----|----|
| | | |
| | | |
| | | |

1 實驗目的:

- 1.1 學習如何安裝及基本操作 MAX+PLUS II，並了解各種名詞及檔案。
- 1.2 練習以 MAX+PLUS II 中 Graphic Editor 功能輸入實驗 2 中的各基本邏輯閘電路。
- 1.3 練習以 MAX+PLUS II 中 Graphic Editor 功能輸入全加法器。
- 1.4 了解整個 MAX+PLUS II 各種操作流程，並利用 Graphic Editor 練習輸入跑馬燈電路。

2 實驗步驟:

- 2.1 利用 Graphic Editor 輸入各種基本邏輯閘，並完成下列各步驟：
 - 2.1.1 指定專案名稱(Basic Gate)
 - 2.1.2 建立新檔案
 - 2.1.3 設定和顯示導引線
 - 2.1.4 輸入基本元件及巨集函數符號
 - 2.1.5 移動、刪除、復原與複製元件符號
 - 2.1.6 建立腳位連線
 - 2.1.7 輸入與輸出腳位命名與連線命名
 - 2.1.8 儲存並檢查基本錯誤
 - 2.1.9 建立內定符號
 - 2.1.10 關閉檔案

2.2 平面配置(Floorplan)與編譯(Compilation)

- 2.2.1 編譯器的處理程序(Processing)設定 FPGA 晶片選定與自由編譯
- 2.2.2 平面配置(Floorplan)
- 2.2.3 平面配置後的設計編譯(Total Recompile)

2.3 晶片規劃(Programming)與程式燒錄(Configure)

- 2.3.1 連接 LP-2900 實驗平台，並開啟電源。
- 2.3.2 啟動燒錄視窗(Programmer)。
- 2.3.3 硬體設定(Hardware Setup)。
- 2.3.4 JTAG 設定。
- 2.3.5 進程式下載規劃(Configure)

2.4 重複以上各步驟，並利用 Graphic Editor 輸入全加法器之電路圖

3 參考書籍：

- | | | | | |
|-----|----------------|-------------|----|----------|
| 3.1 | 數位邏輯電路實習 | 吳明瑞、周靜娟 | 編著 | 全華科技圖書公司 |
| 3.2 | 數位電路實習 | 張文澤、余文俊、楊國輝 | 編著 | 全威圖書有限公司 |
| 3.3 | 數位電路實習-實習手冊 | 徐水芳、黃聰文、鄭書城 | 編著 | 允成科技有限公司 |
| 3.4 | CPLD 邏輯電路設計與實習 | 蕭如宣 | 編著 | 捷太出版社 |

4 實驗結果：

A. 完成之基本邏輯閘電路圖

B. 完成之全加法器電路圖

C. 請畫出 MAX+Plus II 從電路設計到程式下載完成所需各步驟的流程圖

5 實驗心得：

LAB-5 碼轉換之數位電路設計(Code Conversion)

實驗日期: 2009/04/30~2009/05/07

實驗報告繳交日期:2009/05/14

實驗組員:

| 組別 | 學號 | 姓名 |
|----|----|----|
| | | |
| | | |
| | | |

1 實驗目的:

- 1.1 練習用數位電路分析理論及設計各種不同碼之間的互相轉換。
- 1.2 了解數位電路的設計及分析流程，並學習利用卡諾圖來化簡布林函數。
- 1.3 學習如何使用 MAX+PLUS II 作碼的轉換，以 DIP Switch 輸入 0-9 的 BCD 碼，以 LED 顯示 0-9 的 2421 碼。
- 1.4 利用 MAX+PLUS II 完成將 BCD 碼轉換為 2421 碼。
- 1.5 練習用數位電路理論分析及設計，將 84-2-1 碼轉換為葛雷碼(Gray Code)。

2 實驗步驟:

- 2.1 熟悉數位電路分析及設計流程。
- 2.2 由電路的敘述，決定輸入與輸出的個數，並將每個輸入與輸出變數命名。
- 2.3 推導出真值表，並定義輸入與輸出之間的關係。
- 2.4 對每個輸出求出其相關的布林函數。
- 2.5 利用卡諾圖的方法化簡步驟 4 求出之每個布林函數。
- 2.6 利用 MAX+PLUS II 之 Graphic Editor 功能，將步驟 5 化簡之布林函數繪製成電路圖。
- 2.7 將步驟 6 完成之電路圖，進行錯誤檢查 (Check and Save)及編譯(Compilation)。
- 2.8 進行 FPGA 晶片選定與平面配置(Floorplan)。
- 2.9 平面配置後的設計編譯(Total Recompile)。
- 2.10 進行晶片規劃(Programming)與程式燒錄(Configure)。
- 2.11 重複以上步驟完成實驗 1 →BCD 碼轉 2421 碼之結果檢查。
- 2.12 重複以上步驟完成實驗 2 →84-2-1 碼轉葛雷碼之結果檢查。

3 參考書籍:

- 3.1 數位邏輯電路實習 吳明瑞、周靜娟 編著 全華科技圖書公司

- 3.2 數位電路實習 張文澤、余文俊、楊國輝 編著 全威圖書有限公司
- 3.3 數位電路實習-實習手冊 徐水芳、黃聰文、鄭書城 編著 允成科技有限公司
- 3.4 CPLD 邏輯電路設計與實習 蕭如宣 編著 捷太出版社

4 實驗結果：

BCD 碼轉 2421 碼之結果

真值表

卡諾圖

布林函數

電路圖

84-2-1 碼轉葛雷碼之結果

真值表

卡諾圖

布林函數

電路圖

5 實驗心得：

LAB-6 BCD碼轉換成 7 段顯示器之數位電路設計

實驗日期: 2009/05/14~2009/05/21

實驗報告繳交日期:2009/05/28

實驗組員:

| 組別 | 學號 | 姓名 |
|----|----|----|
| | | |
| | | |
| | | |

1 實驗目的:

- 1.1 練習用數位電路分析及設計理論進行電路設計，並將 BCD 碼轉換成 7 段顯示器的數位資料而加以顯示。
- 1.2 了解數位電路的設計及分析流程，並學習利用卡諾圖來化簡布林函數。
- 1.3 學習如何使用 MAX+PLUS II 作碼的轉換，以 DIP Switch 輸入 0-9 的 BCD 碼，轉換成 7 段顯示器可以顯示的數位資料，並將 BCD 碼顯示在實驗器上的 7 段顯示器上。

2 實驗步驟:

- 2.1 熟悉數位電路分析及設計流程。
- 2.2 由電路的敘述，決定輸入與輸出的個數，並將每個輸入與輸出變數命名。
- 2.3 推導出真值表，並定義輸入與輸出之間的關係。
- 2.4 對每個輸出求出其相關的布林函數。
- 2.5 利用卡諾圖的方法化簡步驟 4 求出之每個布林函數。
- 2.6 利用 MAX+PLUS II 之 Graphic Editor 功能，將步驟 5 化簡之布林函數繪製成電路圖。
- 2.7 將步驟 6 完成之電路圖，進行錯誤檢查 (Check and Save)及編譯(Compilation)。
- 2.8 進行 FPGA 晶片選定與平面配置(Floorplan)。
- 2.9 平面配置後的設計編譯(Total Recompile)。
- 2.10 進行晶片規劃(Programming)與程式燒錄(Configure)。
- 2.11 重複以上步驟完成實驗 →BCD 碼轉 7 段顯示器之結果檢查。

3 參考書籍:

- | | | | | |
|-----|----------------|-------------|----|----------|
| 3.1 | 數位邏輯電路實習 | 吳明瑞、周靜娟 | 編著 | 全華科技圖書公司 |
| 3.2 | 數位電路實習 | 張文澤、余文俊、楊國輝 | 編著 | 全威圖書有限公司 |
| 3.3 | 數位電路實習-實習手冊 | 徐水芳、黃聰文、鄭書城 | 編著 | 允成科技有限公司 |
| 3.4 | CPLD 邏輯電路設計與實習 | 蕭如宣 | 編著 | 捷太出版社 |

4 實驗結果：

4.1 BCD 碼轉 7 段顯示器之真值表

4.2 BCD 碼轉 7 段顯示器之卡諾圖化簡

4.3 BCD 碼轉 7 段顯示器之布林函數

4.4 附上 BCD 碼轉 7 段顯示器之電路圖

5 實驗心得：

LAB-7 二進位乘法器與大小比較器之電路設計

實驗日期: 2009/05/28~2009/06/04

實驗報告繳交日期:2009/06/11

實驗組員:

| 組別 | 學號 | 姓名 |
|----|----|----|
| | | |
| | | |
| | | |

1 實驗目的:

- 1.1 練習用數位電路設計理論，設計一個 3 位元乘 4 位元的二進位乘法器。
- 1.2 練習用數位電路設計理論，設計一個 4 位元的二進位大小比較器。

2 實驗步驟:

- 2.1 依數學乘法理論分析題目，並推導出 3 位元乘 4 位元乘法器的布林函數。
- 2.2 利用 MAX+PLUSII 繪製乘法器布林函數之電路圖。
- 2.3 將繪製好的電路圖編譯後燒錄至模擬器，測試結果。
- 2.4 利用演算法的步驟分析大小比較器的規律性，找出 $A > B$ 、 $A = B$ 、 $A < B$ 的布林函數。
- 2.5 利用 MAX+PLUSII 繪製乘法器布林函數之電路圖。
- 2.6 將繪製好的電路圖編譯後燒錄至模擬器，測試結果。

3 參考書籍:

- | | | | | |
|-----|----------------|-------------|----|----------|
| 3.1 | 數位邏輯電路實習 | 吳明瑞、周靜娟 | 編著 | 全華科技圖書公司 |
| 3.2 | 數位電路實習 | 張文澤、余文俊、楊國輝 | 編著 | 全威圖書有限公司 |
| 3.3 | 數位電路實習-實習手冊 | 徐水芳、黃聰文、鄭書城 | 編著 | 允成科技有限公司 |
| 3.4 | CPLD 邏輯電路設計與實習 | 蕭如宣 | 編著 | 捷太出版社 |

4 實驗結果:

- 4.1 3 位元乘 4 位元乘法器推導過程

4.2 3 位元乘 4 位元乘法器之布林函數

4.3 3 位元乘 4 位元乘法器之電路圖

4.4 4 位元的大小比較器之推導過程電路圖

4.5 4 位元的大小比較器之布林函數

4.6 4 位元的大小比較器之電路圖

5 實驗心得：

LAB-8 序向邏輯電路設計----利用正反器設計除頻電路及計數器

實驗日期: 2009/06/11~2009/06/18

實驗報告繳交日期:2009/06/25

實驗組員:

| 組別 | 學號 | 姓名 |
|----|----|----|
| | | |
| | | |
| | | |

1 實驗目的:

- 1.1 認識 S-R 柃鎖器及 D 型柃鎖器之電路圖及函數表。
- 1.2 認識正反器，包含 D 型正反器、J-K 正反器及 T 型正反器之電路圖及函數表。
- 1.3 認識正反器的特性表與特性方程式。
- 1.4 利用正反器的設計及分析原理，設計可以除以 1000 的除頻電路。
- 1.5 利用除頻電路與正反器設計一個二進位從 0-9 可以上數及下數的計數器。

2 實驗步驟:

- 2.1 畫出 S-R 柃鎖器及 D 型柃鎖器之電路圖及函數表。
- 2.2 畫出 D 型正反器、J-K 正反器及 T 型正反器之電路圖及函數表。
- 2.3 寫出各種正反器的特性表與特性方程式。
- 2.4 寫出各種正反器的狀態方程式、狀態表與狀態圖。
- 2.5 設計可以除以 1000 的除頻電路，並完成電路圖及模擬結果。
- 2.6 設計一個二進位從 0-9 可以上數及下數的計數器，並完成電路圖及模擬結果。

3 參考書籍:

- | | | | | |
|-----|----------------|-------------|----|----------|
| 3.1 | 數位邏輯電路實習 | 吳明瑞、周靜娟 | 編著 | 全華科技圖書公司 |
| 3.2 | 數位電路實習 | 張文澤、余文俊、楊國輝 | 編著 | 全威圖書有限公司 |
| 3.3 | 數位電路實習-實習手冊 | 徐水芳、黃聰文、鄭書城 | 編著 | 允成科技有限公司 |
| 3.4 | CPLD 邏輯電路設計與實習 | 蕭如宣 | 編著 | 捷太出版社 |

4 實驗結果:

- 4.1 S-R 柃鎖器及 D 型柃鎖器之電路圖及函數表

4.2 D 型正反器、J-K 正反器及 T 型正反器之電路圖及函數表

4.3 各種正反器的特性表與特性方程式

4.4 各種正反器的狀態方程式、狀態表與狀態圖

4.5 除以 1000 的除頻電路及電路圖

4.6 二進位從 0-9 可以上數及下數的計數器及電路圖

5 實驗心得：